

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re PATENT APPLICATION of :  
Kenichiro SUGIO :  
Serial No.: [NEW] : Mail Stop Patent Application  
Filed: February 3, 2004 : Attorney Docket No. OKI.640  
For: SEMICONDUCTOR INTEGRATED DEVICE

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
2011 South Clark Place  
Customer Window, Mail Stop Patent Application  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Japanese application:

Appln. No. 2003-151886 filed May 29, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine  
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: February 3, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    5 月 2 9 日  
Date of Application:

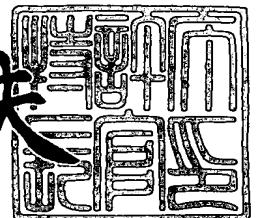
出 願 番 号                      特 願 2 0 0 3 - 1 5 1 8 8 6  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 1 5 1 8 8 6 ]

出      願      人  
Applicant(s):                      沖電気工業株式会社  
   株式会社 沖マイクロデザイン

2 0 0 3 年    8 月    4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 6 2 2 3 6

【書類名】 特許願

【整理番号】 SA003799

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/41

【発明者】

    【住所又は居所】 宮崎県宮崎郡清武町大字木原 7 0 8 3 番地 株式会社  
                        沖マイクロデザイン内

    【氏名】 杉尾 賢一郎

【特許出願人】

    【識別番号】 000000295

    【氏名又は名称】 沖電気工業株式会社

【特許出願人】

    【識別番号】 591049893

    【氏名又は名称】 株式会社 沖マイクロデザイン

【代理人】

    【識別番号】 100082050

    【弁理士】

    【氏名又は名称】 佐藤 幸男

【手数料の表示】

    【予納台帳番号】 058104

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9100477

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積装置

【特許請求の範囲】

【請求項 1】 ビット情報を保持するメモリセルと、該メモリセルと接続され、所定の周期に基づいて前記ビット情報を入出力するための一対のビット線と、前記メモリセルからの出力を一方のビット線および他方のビット線を介してラッチし、前記一方のビット線から取得する前記ビット情報を前記メモリセルの読出し結果として出力する出力部とを備え、前記メモリセルへのアクセスに先立ち、前記ビット線対にプリチャージを行う半導体集積装置において、

前記メモリセルは、該メモリセルで保持するビット情報が読み出される時、プリチャージされた電圧が前記他方のビット線へ開放されることを遮断する遮断回路を有することを特徴とする半導体集積装置。

【請求項 2】 前記遮断回路はスイッチであり、該スイッチは前記メモリセルへの書込みにおいて、プリチャージの終了と同期してオフし、前記メモリセルに対する次の書込みを行うときプリチャージの開始と同期して ON するためのスイッチ制御信号に基づいて動作することを特徴とする請求項 1 記載の半導体集積装置。

【請求項 3】 ビット情報を保持するメモリセルと、該メモリセルと接続され、所定の周期に基づいて前記ビット情報を入出力するための一対のビット線と、前記ビット線対を介して前記メモリセルで保持する前記ビット情報を外部へ出力するための出力部とを備え、前記メモリセルへのアクセスに先立ち、前記ビット線対にプリチャージを行う半導体集積装置において、

前記半導体集積装置は、新たなビット情報を前記メモリセルに書き込むべくプリチャージしたビット線対と前記出力部との接続を次の書込みまで遮断する遮断部を備えることを特徴とする半導体集積装置。

【請求項 4】 ビット情報を保持するメモリセルと、該メモリセルと接続され、所定の周期に基づいて前記ビット情報を入出力するための一対のビット線とを備え、前記メモリセルへのアクセスのために前記ビット線対に対しプリチャージを行う半導体集積装置において、

前記半導体集積装置は、メモリセルで保持するビット情報を2周期連続の読出しにおいて、始めの読出しでプリチャージが行われたビット線対をプリチャージの電位供給端から遮断し、次の読出しで遮断によりビット線対に保持されている電位を前記各ビット線に均等化するイコライズ部を備えることを特徴とする半導体集積装置。

【請求項5】 ビット情報を保持するメモリセルと、該メモリセルと接続され、所定の周期に基づいて前記ビット情報を入出力するための一対のビット線とを備え、前記メモリセルへのアクセスのために前記ビット線対に対し、プリチャージを行う半導体集積装置において、

前記半導体集積装置は、メモリセルへの2周期連続のアクセスにおいて、始めのアクセスでプリチャージが行われたビット線対をプリチャージの電位供給端から遮断し、次のアクセスで遮断により前記ビット線対に保持されている電位を前記各ビット線に均等化するイコライズ部を備えることを特徴とする半導体集積装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積装置に関し、特にSRAM (Static Random Access Memory) と称される記憶装置に関する。

【0002】

【従来の技術】

半導体集積装置としてのSRAMは、複数のメモリセルを備えており、該各メモリセルにはビット線対が接続されている。該ビット線対を介して電位の有無を示すビット情報が前記メモリセルへ書き込まれたり、該メモリセルで保持するビット情報が読み出されたりする。メモリセルに対するこのような書込みや読出しなどのアクセスは、予め前記ビット線対に対しプリチャージと称される電位を印加した後、行われる。プリチャージが行われることにより、メモリセルに対して高速にアクセスすることができる。前記したようにプリチャージが行われた後、前記メモリセルから読み出されたビット情報が出力部を介して出力される。この

ような半導体集積装置が、特許文献1および特許文献2に示されている。

【0003】

【特許文献1】

特開平11-86561号公報

【特許文献2】

特開平11-353880号公報

【0004】

【発明が解決しようとする課題】

ところが、従来の半導体集積装置は、例えばメモリセルからビット情報を読み出すとき、一方のビット線がH iを示すビット情報を伝送すると、他方のビット線はL oを示すビット情報を伝送する。つまり、予めプリチャージしたビット線対のうち、何れか一方のビット線に印加されている電荷を放電すべく電位が開放される。従って、メモリセルに対する次のアクセスを行うとき、予め行うプリチャージにより電荷を再度印加する必要があった。

前記したように、ビット線対に対する充電および放電が繰り返されることから、半導体集積装置が消費する電力の低減が望まれていた。また前記メモリセルに対するビット情報の書込みにも係らず、前記出力部が作動して消費電流が増加することも問題である。

前記した課題に鑑み、本発明の目的は消費電流を低減し得る半導体集積装置を提供することにある。

【0005】

【課題を解決するための手段】

本発明は、以上の点を解決するために、次の構成を採用する。

ビット情報を保持するメモリセルと、該メモリセルと接続され、所定の周期に基づいて前記ビット情報を入出力するための一対のビット線と、前記メモリセルからの出力を一方のビット線および他方のビット線を介してラッチし、前記一方のビット線から取得する前記ビット情報を前記メモリセルの読出し結果として出力する出力部とを備え、前記メモリセルへのアクセスに先立ち、前記ビット線対にプリチャージを行う半導体集積装置において、前記メモリセルは、該メモリセ

ルで保持するビット情報が読み出されるとき、プリチャージされた電圧が前記他方のビット線へ開放されることを遮断する遮断回路を有することを特徴とする。

#### 【0006】

前記遮断回路はスイッチであり、該スイッチは前記メモリセルへの書込みにおいて、プリチャージの終了と同期してオフし、前記メモリセルに対する次の書込みを行うときプリチャージの開始と同期してONするためのスイッチ制御信号に基づいて動作することができる。

#### 【0007】

ビット情報を保持するメモリセルと、該メモリセルと接続され、所定の周期に基づいて前記ビット情報を入出力するための一对のビット線と、前記ビット線対を介して前記メモリセルで保持する前記ビット情報を外部へ出力するための出力部とを備え、前記メモリセルへのアクセスに先立ち、前記ビット線対にプリチャージを行う半導体集積装置において、前記半導体集積装置は、新たなビット情報を前記メモリセルに書き込むべくプリチャージしたビット線対と前記出力部との接続を次の書込みまで遮断する遮断部を備えることを特徴とする。

#### 【0008】

ビット情報を保持するメモリセルと、該メモリセルと接続され、所定の周期に基づいて前記ビット情報を入出力するための一对のビット線とを備え、前記メモリセルへのアクセスのために前記ビット線対に対しプリチャージを行う半導体集積装置において、前記半導体集積装置は、メモリセルで保持するビット情報を2周期連続の読出しにおいて、始めの読出しでプリチャージが行われたビット線対をプリチャージの電位供給端から遮断し、次の読出しで遮断によりビット線対に保持されている電位を前記各ビット線に均等化するイコライズ部を備えることを特徴とする。

#### 【0009】

ビット情報を保持するメモリセルと、該メモリセルと接続され、所定の周期に基づいて前記ビット情報を入出力するための一对のビット線とを備え、前記メモリセルへのアクセスのために前記ビット線対に対し、プリチャージを行う半導体集積装置において、前記半導体集積装置は、メモリセルへの2周期連続のアクセ

スにおいて、始めのアクセスでプリチャージが行われたビット線対をプリチャージの電位供給端から遮断し、次のアクセスで遮断により前記ビット線対に保持されている電位を前記各ビット線に均等化するイコライズ部を備えることを特徴とする。

【0010】

【発明の実施の形態】

以下、本発明の実施形態を図を用いて詳細に説明する。

〈具体例1〉

本発明の半導体集積装置10は、メモリセル20を備えており、該メモリセル20を構成する回路が図1に示されている。本発明の半導体集積装置10は、例えばデジタルフィルタで処理するデータを一時的に保持するためのSRAMなどの記憶装置であり、その構成が回路機能ブロックとして図2に示されている。

図2に示す本発明の半導体集積装置10は、上位装置からアドレス信号の供給される複数のアドレス線（以降、単にA<sub>in</sub>と称す）をデコードして第1のワード信号（以降、単にWLと称す）および第2のワード信号（以降、単にWWLと称す）を出力するワード線デコード部30と、該ワード線デコード部30から出力されるワード線に基づいて、複数のメモリセルから所望のメモリセルを選択し、選択したメモリセルに対し、電位の有無を示すビット情報の書込みや読出しなどのアクセスを行うメモリアレイ部40と、該メモリアレイ部40のメモリセルにビット情報を入出力すべく、プリチャージ信号（以降、単にPRCB<sub>IN</sub>と称す）を受け入れて、後述するプリチャージの制御を行う第1のプリチャージ制御信号（以降、単にPRCB1と称す）および第2のプリチャージ制御信号（以降、単にPRCB2と称す）を生成し、該各信号をメモリアレイ部40へ出力するプリチャージ制御信号生成部50と、ビット情報をメモリセル20に書き込む期間を示す信号（以降、単にWR<sub>IN</sub>と称す）およびWR<sub>IN</sub>がイネーブル（enable）期間中に書込み許可を示す信号（以降、単にWRENと称す）を受け入れて、メモリセル20にビット情報を書き込むための制御を行う第1の書込み制御信号（以降、単にWと称す）および第2の書込み制御信号（以降、単にWBと称す）を生成し、該各信号をメモリアレイ部40へ出力する書込み制御



信号生成部 60 と、メモリセルが配列する 2 列のカラムから、何れか一方のカラムを選択するための第 1 の選択信号（以降、単に Y0 と称す）および第 2 の選択信号（以降、単に Y1 と称す）を生成し、該各信号をメモリアレイ部 40 へ出力する選択信号生成部 70 と、メモリセルへ書き込むビット情報のためのバッファアンプであるアンプ 80 とを備える。

#### 【0011】

前記ワード線デコード部 30 は、図 3 に示すように複数の  $A_{in}$ （一番目の信号を 0 とし、0 から  $n$  まで）と、プリチャージのスタートを示す信号（以降、 $PRCB\_ST$  と称す）と、 $WR\_IN$  とを受け入れて、 $WL$ （一番目の信号を 0 とし、0 から  $m$  まで）および  $WWL$ （一番目の信号を 0 とし、0 から  $m$  まで）を出力すべく、複数のインバータと複数の NAND 回路とで構成されている。

インバータは、 $A_{in0}$  を受け入れて反転信号（以降、単に  $A0b$  と称す）を NAND 回路に出力する。該 NAND 回路には、前記した  $A0b$  の他に、複数のアドレス線に基づく信号と、プリチャージ信号と同期した  $PRCB\_ST$  とを受け入れて論理演算を行い、その結果をインバータへ出力する。演算結果を受け入れたインバータはその結果を反転することにより、プリチャージ信号に同期して複数のメモリセルから所望のメモリセルにアクセスするための信号、つまり  $WL0$  を生成する。

#### 【0012】

この  $WL0$  を生成するために用いたアドレス線は、他の NAND 回路にも供給されている。該 NAND 回路は、これらのアドレス線の他にプリチャージ信号と同期した  $PRCB\_ST$  と、書込み期間を示す  $WR\_IN$  とを受け入れて、論理演算を行い、その結果をインバータへ出力する。演算結果を受け入れたインバータはその結果を反転する。これにより、 $WL0$  と同じメモリセルにアクセスし、かつ該メモリセルに対する書込み期間中のプリチャージ期間を示す信号、つまり  $WWL0$  が生成される。

#### 【0013】

プリチャージ制御信号生成部 50 は、上位装置からの  $PRCB\_IN$  を受け入れられる 4 段のインバータと、 $WB$  を分岐した信号をインバータを介して受け入れ、

かつ前記4段のインバータからの出力を受け入れるNOR回路と、該NOR回路からの出力を2分岐し、各分岐信号を反転出力する2つのインバータとを備える。

ここで、PRCB\_\_INを詳細に説明する。該PRCB\_\_INは、メモリセルに対する書込みおよび読出しなどのアクセスに先立ち行われるプリチャージの期間を示す信号であり、PRCB\_\_INの1周期はメモリセルに対する1アクセスの期間を示す。つまり、PRCB\_\_INがアンネーブル（*unnable*）でプリチャージを行うための期間を示し、イネーブルでメモリセルに対するアクセスを行うための期間を示す。これらの二つの期間を組み合わせる1周期とする。従ってメモリセルに対するアクセスとプリチャージとが同時に起きることはない。

#### 【0014】

前記したPRCB\_\_INを受け入れる4段インバータは、前段の2段インバータの出力を分岐して、一方をPRCB\_\_STとしてワード線デコード部30へ出力し、他方を後段の2段インバータへ供給する。PRCB\_\_STは、PRCB\_\_INを1番目のインバータで反転し、その反転した信号を更に2番目のインバータで反転した信号であるから、位相が元に戻っておりPRCB\_\_INと同じである。しかし、PRCB\_\_STは複数のインバータを介すことで、若干の遅延が生じている。

PRCB\_\_INを受け入れた4段のインバータが出力する信号と、書込みの制御を示すWBを分岐した信号とを受け入れたNOR回路は論理演算を行う。その演算結果が2分岐され、分岐された信号がそれぞれインバータを介してPRCB1およびPRCB2として生成される。PRCB1およびPRCB2は、2分岐した信号を共にインバータを介して反転出力した信号であることから、実質的に同一である。このPRCB1およびPRCB2は、PRCB\_\_INが複数のインバータなどを経て遅延した信号である。従って、この遅延した信号に基づいてプリチャージの制御を行うことにより、プリチャージの開始が少し遅れる。これによりメモリセルへのアクセスでビット線対の電位がプリチャージの電位で変化することを防ぐことができる。

#### 【0015】

書込み制御信号生成部 60 は、イネーブル状態でメモリセルに対する書込み期間を示す  $WR\_IN$  と、前記期間内における書込み許可をイネーブル状態で示す  $WREN$  とを受け入れる  $NAND$  回路と、該  $NAND$  回路からの出力を反転するインバータと、該インバータから出力される信号が 2 分岐され、その一方を受け入れて反転信号を  $WB$  として生成するインバータとで構成されている。2 分岐される他方の信号は、 $W$  として出力される。

$WB$  はインバータを経て生成された信号であり、 $W$  は前記インバータを介することなく出力された信号であることから、イネーブル状態とアンネーブル状態とが逆の関係にあり、 $W$  および  $WB$  はメモリセルに対する書込み期間内における書込み許可期間を示す。この許可期間は、複数のインバータなどを介することにより  $WREN$  より若干の遅延が生じた信号である。

#### 【0016】

選択信号生成部 70 は、上位装置からアンネーブルの  $Y\_IN$  を受け入れるインバータと、該インバータの出力を 2 分岐した一方を受け入れて反転信号を  $Y1$  として出力するインバータとを備えている。

選択信号生成部 70 に入力する  $Y\_IN$  は、2 列単位で複数のメモリセルが配列するメモリアレイ部において、2 列の何れか一方の列を選択するための信号であり、この信号で選択された列（カラム）にアクセス対象のメモリセルが存在する。つまり選択信号生成部 70 は、 $Y\_IN$  に基づいて、メモリセルが配列している 2 カラムから、何れか一方のカラムを選択するための  $Y0$  および  $Y1$  を生成する。

#### 【0017】

アンプ 80 は、ビット情報を並列的に供給する上位装置の出力端子の数に応じで設けられており、例えば上位装置の出力端子の第 1 番目の出力端子を 0 として  $x$  まで設けられているとき、アンプ 80 の数は、前記出力端子と同様に第 1 番目のアンプを 0 とし、0 から  $x$  まで設けられている。

前記した各アンプ 80 は、上位装置の第 1 番目の出力端子からのビット情報（以降、 $D0\_IN$  と称す）を増幅し、増幅したビット情報（以降、 $D0$  と称す）をメモリアレイ部 40 へ供給し、第  $x$  番目の出力端子からのビット情報（以降、

D<sub>x</sub>\_\_INと称す)を増幅し、増幅したビット情報(以降、D<sub>x</sub>と称す)をメモリアレイ部40へ供給する。

前記した各部30、50、60、70で生成された信号と、アンプ80を介して増幅されたビット情報とがメモリアレイ部40に供給される。

#### 【0018】

次に、各メモリセルが配列するメモリアレイ部40の回路図を図4に示し、詳細に説明する。

図4には、第1番目のメモリセル群としてのメモリセル群Aと、第x番目のメモリセル群としてのメモリセル群Xとが示されている(メモリセル群Aとメモリセル群Xとの間のメモリセル群は、図中に略されている)。

各メモリセル群は2列単位で配列しており、一方が第1のカラム、他方が第2のカラムである。前記第1のカラムは、前記したWL0からWLmまでのそれぞれを受け入れるメモリセルが配列している(WL0とWLmとの間のメモリセルは、図中に略されている)。該各メモリセルは、0からmまで対応したWWLをそれぞれ受け入れている。

例えばメモリセル群Aの第1カラムにおいて、WL0を受け入れるメモリセル41とWLmを受け入れるメモリセル42とが示されており、それらのメモリセルが第1のビット線(BLM0で表記)および第2のビット線(BLM0bで表記)で接続されている。

#### 【0019】

メモリセル41に入力されるWL0およびWWL0は、前記したメモリセル41を経てメモリセル群Aの第2カラムの同じ行のメモリセル43にも接続されており、前記したWLmおよびWWLmは、前記したメモリセル42をメモリセル群Aの第2カラムの同じ行のメモリセル44に接続されている。この行方向の接続は、メモリセル群Xにもおよび、例えばメモリセル群Xの第1カラムには、WL0およびWWL0が接続されるメモリセル45とWLmおよびWWLmが接続されるメモリセル46とが示されており、メモリセル群Xの第2カラムには、WL0およびWWL0が接続されるメモリセル47とWLmおよびWWLmが接続されるメモリセル48とが示されている。

**【0020】**

前記した各メモリセルには、ビット情報を読み書きするためのビット線対が接続されており、例えばメモリセル群Aの第1カラムに配列しているメモリセル41

と、メモリセル42とがビット線対で接続されている。

第2のカラムも、前記したように同じ列に配列しているメモリセルがビット線対で接続されており、メモリセル群Xも同様にビット線対で各メモリセルが接続されている。

**【0021】**

メモリセル41、43、45および47に接続するビット線対の一端は、プリチャージを行うための電源（以降、VDDと称す）に接続されており、各ビット線には、PRCB1に基づいて制御されるスイッチが設けられている。このスイッチは、PMOSであり、例えばメモリセル41に接続する第1のビット線（以降、BLと称す）には前記スイッチとしてのPMOS（以降、P1と称す）が設けられており、第2のビット線（以降、BLbと称す）にはスイッチとしてのPMOS（以降、P2と称す）が設けられている。同様にメモリセル43のBLにP3が設けられており、BLbにP4が設けられている。以降、同様にメモリセル45およびメモリセル47にも同様なスイッチが設けられている。このようにメモリセル群Xの構成は、メモリセル群Aと同じであることから、以降、メモリセル群Xの説明は省略する。

**【0022】**

メモリセル42およびメモリセル44にBLを介してVDDが印加されており、同様にメモリセル42およびメモリセル44にBLb（BL0bと表記）を介してVDDが印加されている。前記した各VDDは、PRCB2に基づいて動作するスイッチにより制御される。このスイッチは、PMOSであり、例えばメモリセル42および44にVDDを供給するためのBL（BL0と表記）にはPMOS（以降、P5と称す）が設けられており、他のVDDを供給するBLbにもPMOS（以降、P6と称す）が設けられている。

**【0023】**

メモリセル 42 の BL および BL b には、Y0 に基づいて第 1 カラムを選択するためのスイッチが設けられている。例えばメモリセル 42 の BL にはスイッチとしての NMOS（以降、N1 と称す）が設けられており、BL b にはスイッチとしての NMOS（以降、N2 と称す）が設けられている。

メモリセル 44 の BL および BL b には、Y0 のイネーブルとアンネーブルとが逆の関係にある Y1 に基づいて第 2 カラムに配列するメモリセルを選択するためのスイッチが設けられている。例えばメモリセル 44 の BL には NMOS（以降、N3 と称す）が設けられており、BL b には NMOS（以降、N4 と称す）が設けられている。

前記したようにイネーブルとアンネーブルの関係にある Y0 および Y1 に基づいて動作するスイッチを設けることにより、第 1 のカラムまたは第 2 のカラムの何れか一方を確実に選択することができる。

#### 【0024】

メモリセル 42 および 44 の BL および BL b には、アンプからの D0 を W および WB の制御に基づいてメモリセルに伝送するための伝送部 90 が接続されている。

該伝送部 90 は、D0 を反転するインバータと、反転した D0 を BL b に伝送するための制御スイッチを NMOS および PMOS で構成した第 1 のトランスファークロフトと、前記反転した D0 を更に反転し元に戻した D0 を取得するためのインバータと、該インバータから出力する D0 を BL に伝送するための制御スイッチを NMOS および PMOS で構成した第 2 のトランスファークロフトとを備えている。

前記各トランスファークロフトの NMOS は W に基づいて制御され、W とイネーブルとアンネーブルが逆の関係にある WB に基づいて PMOS が制御される。PMOS および NMOS で構成されるトランスファークロフトにより、従来から知られた NMOS の閾値電圧による電圧低下を防ぐことができる。

#### 【0025】

メモリセル 42 および 44 の BL および BL b には、メモリセルで保持するビット情報をラッチして出力するための出力部 100 が接続されている。

出力部 100 は、メモリセル 42 および 44 からの BL を受け入れる第 1 の NOR 回路と、該 NOR 回路からの演算結果を 2 分岐し、その一方を受け入れ、かつメモリセル 42 および 44 からの BLb を受け入れて、その演算結果を前記第 1 の NOR 回路へ出力する第 2 の NOR 回路と、前記 2 分岐した他方を受け入れ、反転した結果を読み出したビット情報（以降、DOO と称する）として出力するインバータとを備えており、BL および BLb の何れか一方からの信号をラッチし次第、BL に基づくビット情報を読み出し結果として出力する。

#### 【0026】

前記した出力部 100 は、例えば BL から Hi が、BLb から Lo が供給されると Hi を DOO として出力し、BL から Lo が、BLb から Hi が供給されると Lo を DOO として出力する。更に、前記した出力部 100 は、BL から Hi が、BLb から Hi が供給されても、Hi を DOO として正しく出力する。

#### 【0027】

ここで、メモリアレイ部 40 に配列するメモリセルを図 1 を用いて説明する。メモリアレイ部 40 の各メモリセル 41、42、43、44、45、46、47 の内部構成は、図 1 に示すメモリセル 20 と同じである。

メモリセル 20 は、2 個のインバータ 27 および 28 と、遮断回路としてのスイッチ、つまり 2 個の NMOS（以降、単位 N23 および N24 と称す）とを備える。

インバータ 27 の入力には N23 が設けられた BL に接続しており、該 BL にはインバータ 28 からの出力が接続している。インバータ 27 からの出力は、N24 が設けられた BLb に接続しており、該 BLb はインバータ 28 の入力に接続している。BL に設けられた N23 のゲートは、WL に接続されており、BLb に設けられた N24 のゲートは、WWL に接続されている。

#### 【0028】

前記ビット線対（BL および BLb）は、メモリセル 20 にアクセスするとき、つまり該メモリセルで保持するビット情報の読み出しや、該メモリセルへのビット情報の書き込みを行うとき、何れか一方のビット線がイネーブルのとき、他方のビット線がアンネーブルとなる。例えば、Hi を伝送する BL に対し、BLb は

L<sub>o</sub>を送送する。

WLは、イネーブルおよびアンネーブルで構成される1周期の信号であって、メモリセルに対するアクセスに応じて、その都度生成される。

WLがイネーブル状態にあるとき、つまりメモリセルにアクセスするとき、該WLがゲートに接続しているN23がONすることにより、BLとインバータ28の出力との遮断が解除される。一方、WLがアンネーブル状態にあるとき、N23がOFFすることにより、BLとインバータ28の出力とが遮断される。

#### 【0029】

WWLは、メモリセルに書込みを行うときのみイネーブルとなる。WWLがイネーブル状態にあるとき、該WWLがゲートに接続しているN24がONし、BLbと、インバータ28の入力およびインバータ27の出力との遮断が解除され、WWLがアンネーブル状態にあるとき、N23がOFFし、BLbと、インバータ28の入力およびインバータ27の出力とが遮断される。

一方のインバータ27に接続するBLを遮断し、他方のインバータ28に接続するBLbも遮断することにより、一方のインバータ27と他方のインバータ28とで構成されるセルにビット情報が保持される。

#### 【0030】

このように動作するメモリセル20において、予めL<sub>o</sub>をビット情報として保持しているメモリセル20に対し、H<sub>i</sub>をビット情報として書込みした後、書込みしたビット情報を読み出す動作を図5に示すタイミングチャートを用いて説明する。

メモリセルの書込みに先立ち、各ビット線（BLおよびBLb）にプリチャージが行われる。このとき、PRCB\_\_INがアンネーブル状態となり、プリチャージ制御信号生成部50でアンネーブル状態のPRCB1およびPRCB2が生成され、該PRCB1の制御を受けた図4に示されているP1およびP2がONし、PRCB2の制御を受けるP5およびP6もONしプリチャージのためのVDDがビット線対（BLM0およびBLM0b、BL0およびBL0b）に供給される。

#### 【0031】



このとき、ワード線デコード部 30 で生成される WL および WWL はアンネーブル状態であり、これらの信号に基づいて制御される N23 および N24 は OFF している。従って、ビット線対に印加されるプリチャージの電位をセルから遮断することができ、セルで保持するビット情報がプリチャージで書き換えられることはない。

プリチャージ後、WL および WWL がイネーブル状態となり、書込みに先立ちメモリセル 20 に保持しているビット情報が前記ビット線対に伝送され、これにより図 5 に示す半導体集積装置で消費される電流（以降、 $I_{DD}$  と称す）が上昇する。その後、WR\_IN および WREN がイネーブル状態になると、書込み制御信号生成部 60 は、イネーブル状態の W と、アンネーブル状態の WB とを伝送部 90 へ出力する。該信号を受け入れた伝送部 90 は、D0\_IN がアンプ 80 で増幅された D0 に基づいて、Hi を示すビット情報を BL0 に供給し BL0b に Lo を示すビット情報を供給する。この供給により  $I_{DD}$  が再び増加する。

#### 【0032】

このとき、図 1 に示すメモリセル 20 において、Hi を示すビット情報が BL を介してメモリセル 20 に供給される。また、メモリセル 20 の N23 が WL に基づいて ON し遮断が解除され、BL を介してセルの一方へ Hi が供給される。

該 Hi を示すビット情報は、第 1 のカラムおよび第 2 のカラムから何れか一方を選択するための制御を行う Y0 および Y1 に基づいて N1 および N2 と N3 および N4 とが動作することにより、NMOS の閾値（以降、 $V_t$  と称す）だけ電圧降下している。

#### 【0033】

一方、Lo を示すビット情報が BLb を介してメモリセル 20 に供給されるとき、WWL に基づいて N24 が ON し遮断が解除され、BLb を介してセルの他方へ Lo が供給される。Lo がセルの他方から供給されることにより、該信号を受け入れたインバータ 28 から Hi が出力され、セルの一方へ供給される Hi を示すビット情報と同じとなり、この Hi を示すビット情報をセルの一方に接続された BL を介して出力することで、セルに保持しているビット情報を読み出すことができる。

## 【0034】

ビット情報がセルに保持されると、読出しに先立つプリチャージを行うためにWL、WWLがアンネーブル状態となり、N23およびN24が遮断される。その後、ビット線対にプリチャージが行われ、これに伴いIDDが上昇する。

遮断期間中に、BLおよびBLbにプリチャージが行われた後、イネーブル状態のWLがN23に供給される。これにより、N23がONしてセルに保持するHiを示すビット情報がBLを介して出力される。このとき、WWLは、アンネーブル状態のままであり、つまりN24はBLbを遮断した状態であり、読出しに先立ちプリチャージされた電位がBLbにそのまま保持されている。

つまり、メモリセル20へHiを示すビット情報を書込みした後、このビット情報を読み出すとき、一方のBLからHiを示す電位が出力され、他方のBLbもHiを示す電位が図4の出力部100へ出力されている。

## 【0035】

BLおよびBLbを介して、共にHiを示す信号を受け入れる出力部100は、前記したようにBLがHiおよびBLbがHiの信号を受け入れても、正しくHiを示すビット情報を読出し結果として出力する。従って、メモリセル20にHiを示すビット情報を書込みした後、該ビット情報を読み出すとき、N24がBLbの遮断を解除しなくとも、つまりBLbを開放しなくとも、メモリセルに保持しているHiを示すビット情報を正しく読み出すことができる。またBLbを開放しないことから、ビット情報を読み出すときにBLbの電位が降下することで生じる電流の消費を低減することができる。

## 【0036】

前記したように、読出しに先立ちBLbにプリチャージされた電位はBLbが開放されないことから保持されたままである。従って、メモリセルに対し次のアクセス（図5のタイミングチャートでは、1つまりLoを示すビット情報の書込み）に先立つプリチャージで、BLbに電圧を印加することができない。これにより、BLbには、電位を印加するための電流が消費されず、消費電流量を低減することができる。

## 【0037】

前記したように、具体例 1 の半導体集積装置 10 によれば、H<sub>i</sub>を示すビット情報を読み出すとき、B<sub>Lb</sub>が接続されるメモリセルで電位の開放がW<sub>L</sub>に基づいて遮断されることにより、充放電の回数を抑えることができ電流消費を低減することができる。

#### 【0038】

##### 〈具体例 2〉

次に、出力部 100 への不必要な動作を招く信号を遮断する遮断部 112 を設けたメモリアレイ部 110 を備えた半導体集積装置を説明する。

具体例 2 の半導体集積装置は、図 2 に示した具体例 1 の構成に、遮断制御信号生成部 61 を新たに設けた構成である。具体例 1 では、書込み制御信号生成部 60 で生成されるW<sub>B</sub>を用いてメモリアレイ部を制御したが、該W<sub>B</sub>に代えて具体例 2 では、遮断制御信号生成部 61 で生成される遮断制御信号（以降、W<sub>S</sub>と称す）を用いてメモリアレイ部 110 の制御を行う。

#### 【0039】

遮断制御信号生成部 61 は、図 9 に示すようにNAND回路であり、プリチャージの制御を行うP<sub>R C B</sub> 2 と、書込み期間を示すW<sub>R</sub>\_\_I<sub>N</sub>とを受け入れ、演算を行いその結果をW<sub>S</sub>として出力する。従って、W<sub>S</sub>は、図 7 のタイミングチャートに示すように、プリチャージの制御を示す期間と同期し、かつその期間はメモリセルに対する書込み期間だけアンネーブルとなる。このアンネーブル状態の信号に基づいて遮断部 112 がビット線対を遮断する。

#### 【0040】

該遮断部 112 が設けられたメモリアレイ部 110 を図を用いて説明する。メモリアレイ部 110 は、図 6 に示されているように、複数のメモリセル群で構成されているが、その他のメモリセル群も構成が同じであることから、メモリセル群 A のみを説明する。

メモリセル群 A は、具体例 1 と同様にビット線対（B<sub>L M 0</sub> および B<sub>L M 0 b</sub> と B<sub>L 0</sub> および B<sub>L 0 b</sub>）を介して配列するメモリセルと、ビット線対を介して読み出されたビット情報をラッチして出力する出力部 100 と、該出力部に接続するビット線対をW<sub>S</sub>に基づいて遮断する遮断部 112 と、前記した具体例 1 の

伝送部 90 に代わる新たな入力部 111 とで構成されている。具体例 2 のメモリセル 21 は、図 8 に示すように 2 個のインバータで構成されるセルの一方に接続する BL を遮断するための NMOS（以降、N10 と称す）と、セルの他方に接続する BLb を遮断するための NMOS（以降、N11 と称す）とが共に WL 信号のみで制御されており、従来からよく知られたメモリセルである。

#### 【0041】

遮断部 112 は、WS に基づいて BLb を遮断する NMOS（以降、N5 と称す）と、WS に基づいて BL を遮断する NMOS（以降、N6 と称す）とで構成されている。

図 7 には、遮断部 112 により遮断される出力部 100 側の BL を BL00 とし、同様に BLb を BL00b とする該各ビット線が図示されている。

遮断部 112 は、WS に基づく制御が行われることにより、プリチャージの制御を示す期間と同期し、かつその期間はメモリセルに対する書込み期間だけ出力部 100 へ接続する BL および BLb を遮断する。これにより、書込み期間中に BL および BLb に基づいて出力部がラッチ動作することを防ぐことができる。

#### 【0042】

入力部 111 は、D0 を受け入れて反転信号を生成する第 1 のインバータと、該インバータからの出力が二分され、一方が NMOS（以降、N8 と称す）を介して BLb（図 6 に BLb0 と表記）に接続され、他方を受け入れて反転し、つまり反転信号から D0 を出力する第 2 のインバータと、該インバータからの信号を 2 分岐して、その一方が NMOS（以降、N7 と称す）を介して BL（図 6 に BL0 と表記）に接続され、他方が NMOS（以降、N9 と称す）を介して BL（図 6 に BL00 と表記）に接続されている。

前記した N7、N8 および N9 は、W に基づいて制御される。つまり、W がイネーブル状態のとき、N7、N8 および N9 の遮断が解除され、メモリセルへ書き込むためのビット情報が各ビット線対に供給される。

#### 【0043】

このような構成を有するメモリアレイ部 110 を備えた半導体集積装置において、予め Lo をビット情報として保持しているメモリセル 20 に対し、Hi をビ

ット情報として書き込みした後、書き込みしたビット情報を読み出す動作を図6を参照しながら説明する。

H<sub>i</sub>を示すビット情報の書込みに先立ち、前記した具体例1と同様にプリチャージ後、WLがイネーブル状態となり、書込みに先立ちメモリセル21に保持しているビット情報が前記ビット線対に伝送される。

しかし、このとき遮断部112が、アンネーブル状態のWS信号に基づいてビット線対を遮断することにより、出力部100に信号が入力されず、信号をラッチするための出力部100は作動しない。従って、遮断部112の制御により、出力部100が不必要に作動しないことから、IDDが低減される。

#### 【0044】

その後、Wがイネーブル状態になり、ビット線対にビット情報が供給され、メモリセル21にH<sub>i</sub>を示すビット情報が保持される。このときも、WS信号がアンネーブル状態にあり、該WS信号に基づいて遮断部112がビット線対を遮断する。これにより、出力部100は不必要な作動を行わないことから、IDDが低減される。

#### 【0045】

メモリセル21にH<sub>i</sub>を示すビット情報が保持された後、該ビット情報の読出しに先立ち、PRCB1およびPRCB2がアンネーブル状態となりプリチャージが行われる。このとき、入力部111のN7、N8およびN9はアンネーブル状態のW信号の制御を受けてOFFとなる。従って、入力部111内にプリチャージのための電圧の印加を防ぐことができ、電圧印加で生じるIDDの増加を抑えることができる。

プリチャージが終了すると、WLがイネーブルとなり、メモリセル21に保持するビット情報が前記した具体例1と同様に出力部100を介して読み出される。

#### 【0046】

具体例2の半導体集積装置によれば、出力部100が無駄に作動することを防止する遮断部112を設けることにより、メモリセルに対する書込み実行期間だけ、信号が出力部100へ供給されることから、出力部100が不必要に動作す

ることがなく、消費電流を低減することができる。

#### 【0047】

##### 〈具体例3〉

プリチャージの電位供給端からビット線対を遮断し、この遮断でビット線対に保持される電位を均等化するイコライズ部113を新たに設けた半導体集積装置を説明する。

具体例3のメモリアレイ部120は、図10に示すように、具体例1のメモリアレイ部110の構成にプリチャージの制御を行う第3のプリチャージ制御信号（以降、単にPRCB3と称す）に基づいて動作するイコライズ部113が設けられている。

#### 【0048】

イコライズ部113は、PRCB3に基づいて、BLを介して供給されるプリチャージのためのVDDを遮断制御する第1のPMOS（以降、P1と称す）と、BLbを介して供給されるプリチャージのためのVDDを遮断制御する第2のPMOS（以降、P2と称す）と、PRCB1に基づいて、前記BLと前記BLbとの電氣的接続を遮断制御するPMOS（以降、P7と称す）とを備える。

前記イコライズ部113は、PRCB3がアンネーブル状態にあるとき、遮断を解除してVDDをBLおよびBLbに供給し、その後PRCB3がイネーブル状態になるとVDDの供給を停止する。このとき、プリチャージされたビット線対（BLおよびBLb）と、メモリセル21との間でプリチャージの電位が保持される。このビット線対に保持される電位は、アンネーブル状態のPRCB1に基づいて動作するP7によりBLおよびBLb間の遮断が解除され、均等化される。

#### 【0049】

PRCB3を生成するPRCB3生成部62は、図11に示すように、PRCB\_INをクロックとして受け入れ、反転リセット入力端子（以降、RBと称す）を備えたDフリップフロップと、RBに信号を供給するNOR回路と、前記Dフリップフロップで生成した信号を受け入れるNAND回路とを備える。

前記NOR回路は、イネーブル状態で半導体集積装置の電源ダウンを示す信号

(以降、PDと称す)とWRENとを受け入れた演算結果を出力する。

前記NAND回路は、PRCB\_\_INの逆相を示す信号(以降、PRCと称す)と前記Dフリップフロップの反転出力端子(以降、QBと称す)からの出力とを受け入れた演算結果を、図12に示すPRCB3として出力する。これにより、PRCB3は、連続する読出し周期において、第1回目の読出しに先立つプリチャージ期間でアンネーブル状態となり、第1回目の読出し期間にイネーブル状態となる。その後、第2回目の読出しに先立つプリチャージ期間もイネーブル状態を保持し続け、第2回目の読出し期間の終了でアンネーブルとなる。

#### 【0050】

図12(a)は、Loを示すビット情報を保持するメモリセルにHiを示すビット情報を書き込み、該情報を読み出した後、Loを示すビット情報を書き込み、該情報を読み出すタイミングチャートである。このとき、PRCB3は、PRCB1およびPRCB2と同様な周期で出力される。

一方、図12(b)は、例えば図10のメモリセル21からHiを示すビット情報を読み出し、次にメモリセル23からLoを示すビット情報を読み出し、その後メモリセル21からHiを示すビット情報を読み出すタイミング、つまり連続読出しのタイミングチャートを示している。アンネーブル状態をプリチャージ期間としイネーブル状態を読出し期間とするPRCB1およびPRCB2の周期構成と異なり、PRCB3は3連続読出しのとき2回目のプリチャージ期間がイネーブル状態の信号である。このイネーブル期間をイコライズ期間と称し、該イコライズ期間における半導体集積装置の動作を中心に説明する。

#### 【0051】

メモリアレイ部120を備えた半導体集積装置において、図12(a)に示されているように、ビット情報を書き込みした後、該情報を読み出す動作は、具体例2と同じであることから説明を割愛し、図12(b)に示されているように、3連続の読出し動作を説明する。

メモリセルからビット情報を読み出す動作は、前記した具体例と同様にPRCB1、PRCB2およびPRCB3がアンネーブル状態のとき、プリチャージが行われ、その後メモリセルに保持するビット情報がビット線対を介して出力部1

00へ出力され、該情報をラッチした出力部100は、読み出したビット情報を出力する。

#### 【0052】

PRCB3がイネーブル状態を保持したまま次のビット情報の読出しが行われ、PRCB3に基づいて動作するイコライズ部113のP1およびP2は、VDDの供給を遮断し続ける。これによりビット情報の読出しで、BL（図12（b）ではBLM0と表記）にメモリセルから供給された電位（ビット情報）が保持される。このとき、PRCB1がアンネーブル状態になり、該信号に基づいて動作するイコライズ部113のP7がBLおよびBLb（図12（b）ではBLM0bと表記）間の遮断を解除する。これにより、BLに保持している電位がBLへ分配され、BLおよびBLbの電位が均等化される。

#### 【0053】

この均等化された電位は、プリチャージのためのVDDの約 $1/2$ である。この $1/2$  VDDの電位をプリチャージ電圧として、メモリセルからビット情報を読み出す。これにより、イコライズ部113で均等化された $1/2$  VDDレベルをプリチャージとしてビット情報を読み出すことにより、VDDレベルまでプリチャージの電位を上げる必要がなく、消費電流の量を低減することができる。

#### 【0054】

具体例3の半導体集積装置によれば、イコライズ部113を設けることにより、連続読出しの2回に1回はプリチャージのための電位をBLおよびBLb間で均等化した電位により、該電位をプリチャージとしてビット情報を読み出すことから、消費電流を低減することができる。

#### 【0055】

##### 〈具体例4〉

次に、具体例3のイコライズ部113において、プリチャージの電位供給端に接続するビット線対を遮断するPMOSに代えて、NMOSを用いてビット線対を遮断するイコライズ部114を設けたメモリアレイ部130を備えた半導体集積装置を説明する。

具体例4のメモリアレイ部130は、図13に示すように、プリチャージの制



御を行う制御信号（以降、単に PRC1 と称す）に基づいて、プリチャージの電位供給端に接続する BL を遮断する NMOS（以降、N10 と称す）および電位供給端に接続する BLb を遮断する NMOS（以降、N11 と称す）と、PRCB1 に基づく制御により BL および BLb 間を遮断する P7 とで構成されたイコライズ部 114 を備えている。

#### 【0056】

N10 および N11 の制御を行う PRC1 は、図 14 に示されている PRC1 生成部 63 で生成される。

PRC1 生成部 63 は、図 14 に示すように、PRCB\_IN をクロックとして受け入れ、RB を備えた D フリップフロップと、RB へ PD の反転信号を出力するためのインバータと、前記 D フリップフロップで生成した信号および PRC を受け入れる NAND 回路と、該 NAND 回路から出力された信号を反転出力するインバータとを備える。PRC1 生成部 63 は、図 15 に示すように、メモリセルに対するアクセス 2 周期において、前段のアクセス周期内のプリチャージ期間だけイネーブル状態となり、その後アンネーブル状態が続く PRC1 を生成する。

#### 【0057】

次に、イコライズ部 114 を設けたメモリアレイ部 130 の動作を説明する。Lo を示すビット情報を保持するメモリセルに Hi を示すビット情報を書き込み、該情報を読み出した後、Lo を示すビット情報を書き込み、該情報を読み出すタイミングチャートが図 15 に示されている。

書き込みに先立つプリチャージが行われるべく、イネーブル状態の PRC1 に基づいてイコライズ部 114 の N10 はプリチャージ電位の供給端に接続する BL の遮断を解除し、該 PRC1 に基づいてイコライズ部 114 の N11 はプリチャージ電位の供給端に接続する BLb の遮断を解除する。

#### 【0058】

このとき、PRCB1 はアンネーブル状態であり、該信号に基づいてイコライズ部 114 の P7 は、BL および BLb 間の遮断を解除する。その後、PRCB1 がイネーブル状態となり、BL および BLb 間が遮断され、PRC1 がアンネ

ーブル状態になりプリチャージの供給端からBLおよびBLbが遮断された後、メモリセル21にHiを示すビット情報が書き込まれる。このとき、WSに基づき動作する遮断部112により、出力部100に接続するビット線対からの供給を遮断することから、出力部100の動作を停止することができ、消費する電流量を低減することができる。

#### 【0059】

その後、ビット情報を読み出すためのプリチャージを行うべく、PRCB1がアンネーブル状態となり、BLおよびBLb間の遮断が解除される。このとき、PRC1は、アンネーブル状態を保持しており、プリチャージの供給端からBLおよびBLbが遮断された状態が保持されている。これにより、BL（図15にBLM0で表記）に印加されている $V_{DD}-v_t$ （ $v_t$ は、NMOSの閾値）で示される電位がBLおよびBLb（図15にBLM0bで表記）に分配される。これにより、BLおよびBLbには、 $1/2$ （ $V_{DD}-v_t$ ）レベルの電位で均等化が行われ、該電位をプリチャージとしてビット情報を読み出す。これにより、プリチャージの電位を $V_{DD}$ レベルまで上げることなく、低消費電流でもってビット情報を読み出すことができる。

#### 【0060】

Hiを示すビット情報の読出し後、Loを示すビット情報を書き込み、該情報を読み出すときも前記したと同様にイコライズが行われ、低消費電流での書き込み読出しが行われる。

従って、具体例4の半導体集積装置によれば、PRC1およびPRCB1に基づいて動作するイコライズ部114により、プリチャージとイコライズとを交互に繰り返すことから、消費する電流量を低減することができる。

更に、具体例4の半導体集積装置によれば、イコライズ部114の構成にNMOSを用いることにより、PMOSと比較して集積に要する面積を低減することができ、半導体集積装置のパッケージサイズを小型化することができる。

#### 【0061】

#### 【発明の効果】

前記したように、本発明の半導体集積装置によれば、ビット情報を読み出すと

き、ビット線への出力を遮断する遮断回路を設けることにより、ビット線の充放電の回数を低減することができ、消費電流を低減することができる。

前記したように、本発明の半導体集積装置によれば、ビット情報を出力する出力部に接続されたビット線対に遮断部を設けることにより、読出し時以外に前記出力部への信号供給が遮断されることから、不必要に出力部が作動することを防ぐことができ、消費電流を低減することができる。

更に、本発明の半導体集積装置によれば、プリチャージしたビット線を遮断し、遮断で保持される電位を対均等化するイコライズ部により、均等化した電位をもってメモリセルに対しアクセスを行うことから、プリチャージを高電位に行うことを回避することができ、消費電流を低減することができる。

#### 【図面の簡単な説明】

##### 【図 1】

具体例 1 のメモリセルを示す回路図である。

##### 【図 2】

本発明の半導体集積装置を示す回路および機能ブロック図である。

##### 【図 3】

ワード線デコード部の回路図である。

##### 【図 4】

具体例 1 のメモリアレイ部を示す回路図である。

##### 【図 5】

具体例 1 のタイミングチャートである。

##### 【図 6】

具体例 2 のメモリアレイ部を示す回路図である。

##### 【図 7】

具体例 2 のタイミングチャートである。

##### 【図 8】

メモリセルの回路図である。

##### 【図 9】

遮断制御信号生成部を示す回路図である。

**【図 1 0】**

具体例 3 のメモリアレイ部を示す回路図である。

**【図 1 1】**

P R C B 3 生成部を示す回路図である。

**【図 1 2】**

具体例 3 のタイミングチャートである。

**【図 1 3】**

具体例 4 のメモリアレイ部を示す回路図である。

**【図 1 4】**

P R C 1 生成部を示す回路図である。

**【図 1 5】**

具体例 4 のタイミングチャートである。

**【符号の説明】**

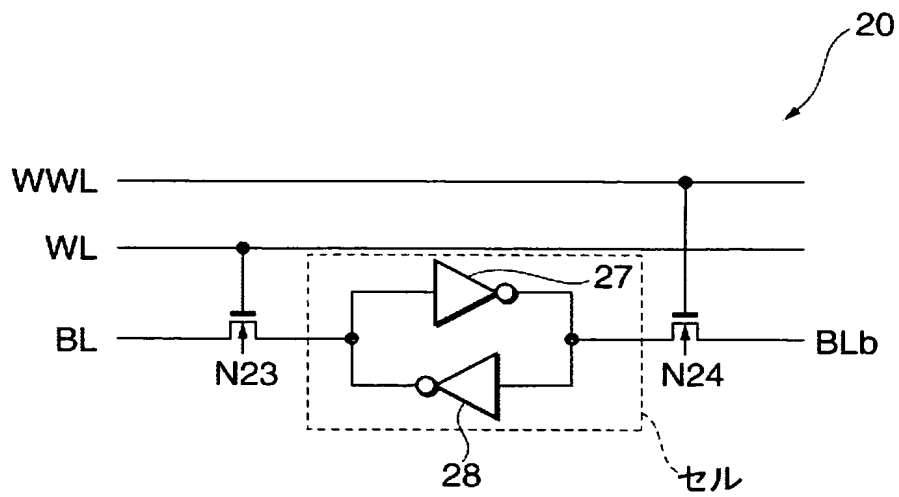
2 0    メモリセル

2 7    インバータ

2 8    インバータ

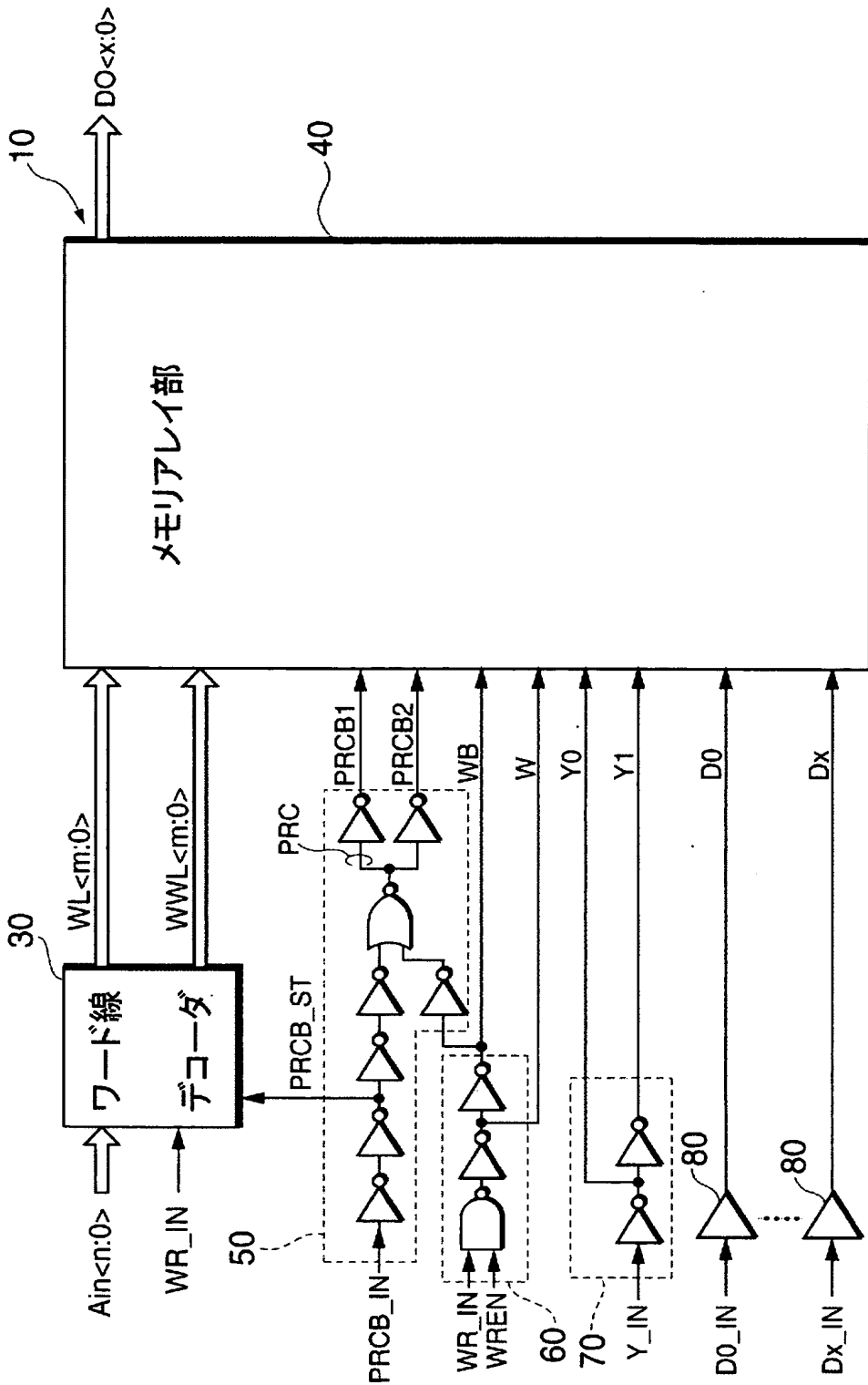
【書類名】 図面

【図 1】



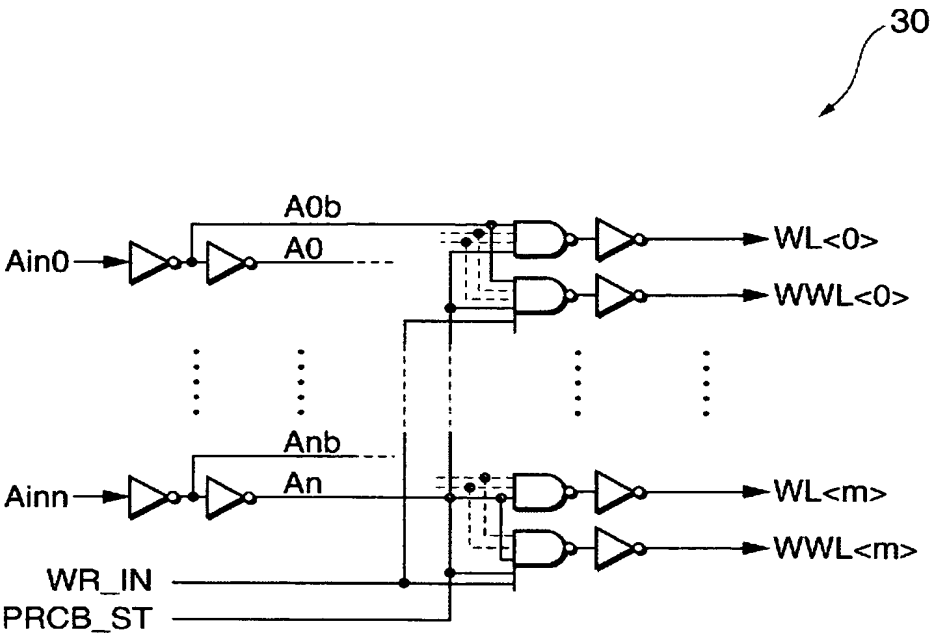
具体例1のメモリセルの回路図

【図 2】



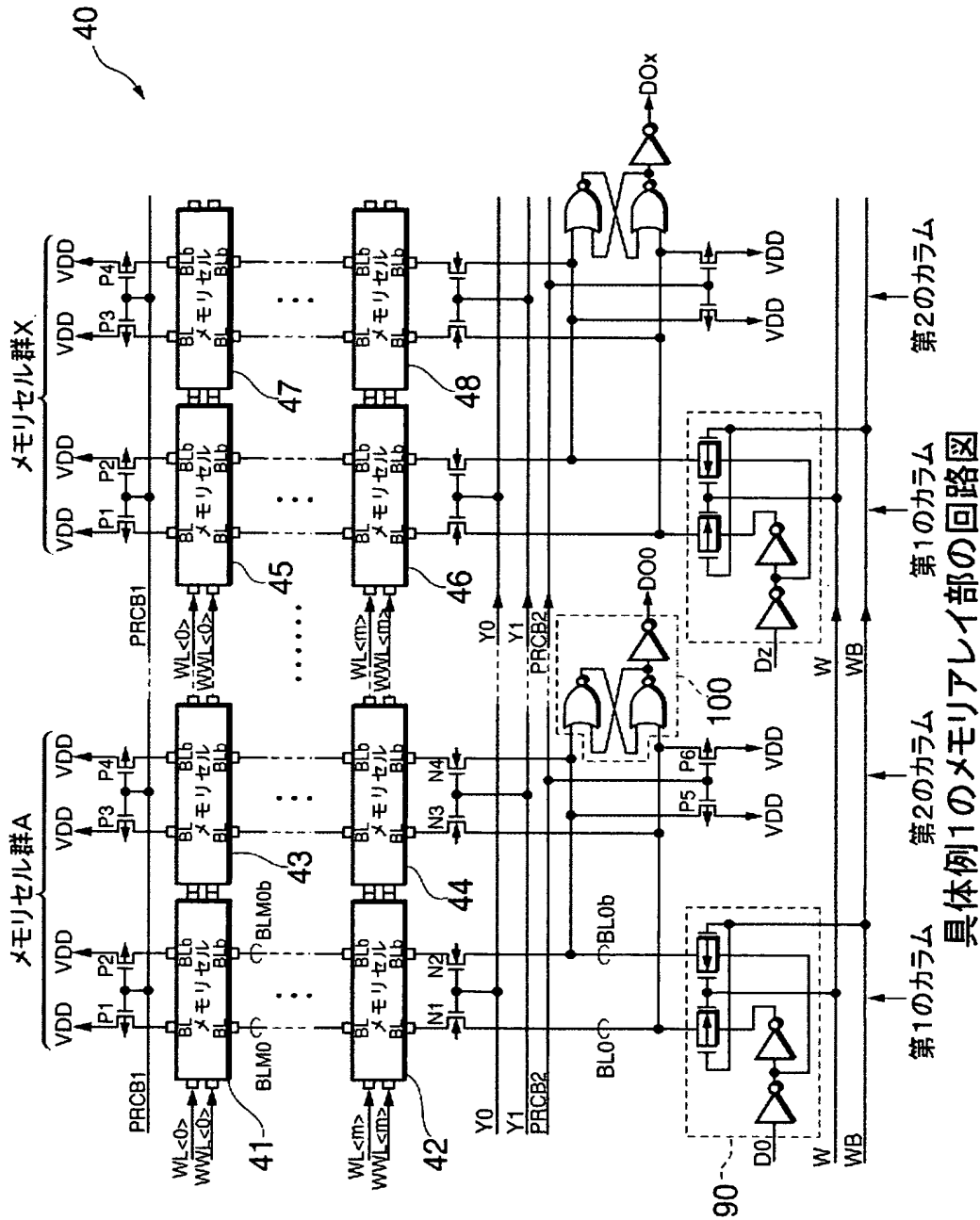
本発明の半導体集積装置の回路機能ブロック図

【図 3】



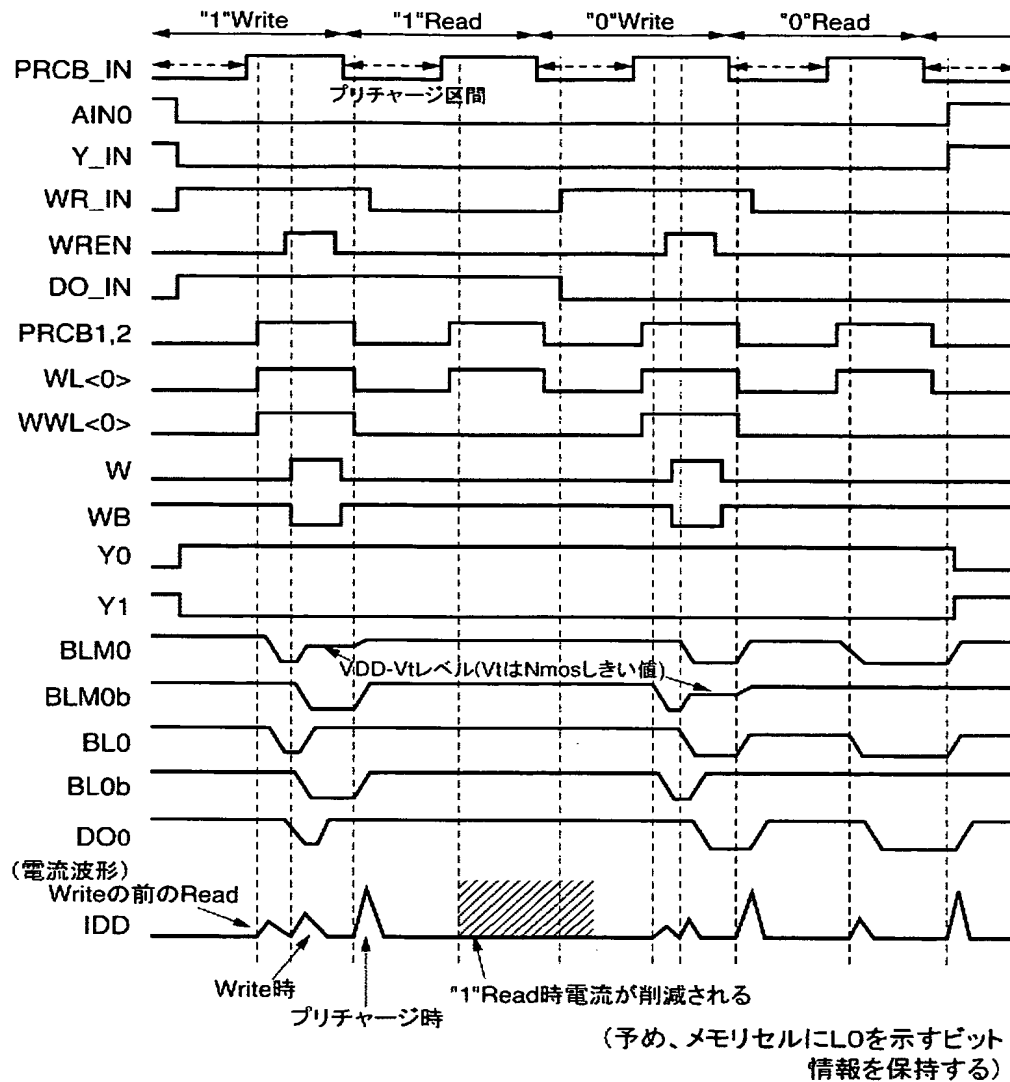
ワード線デコード部の回路図

【図4】



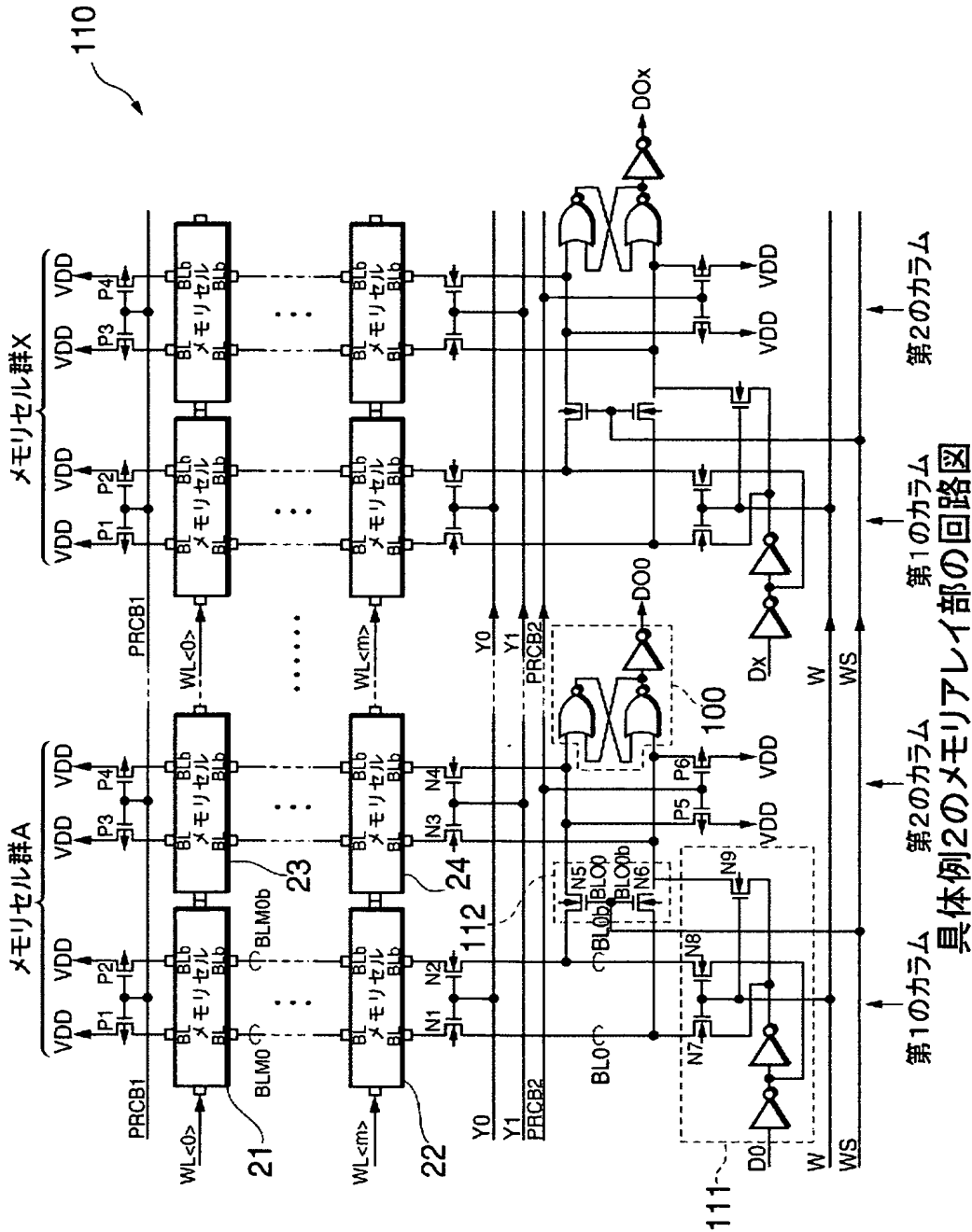


【図 5】

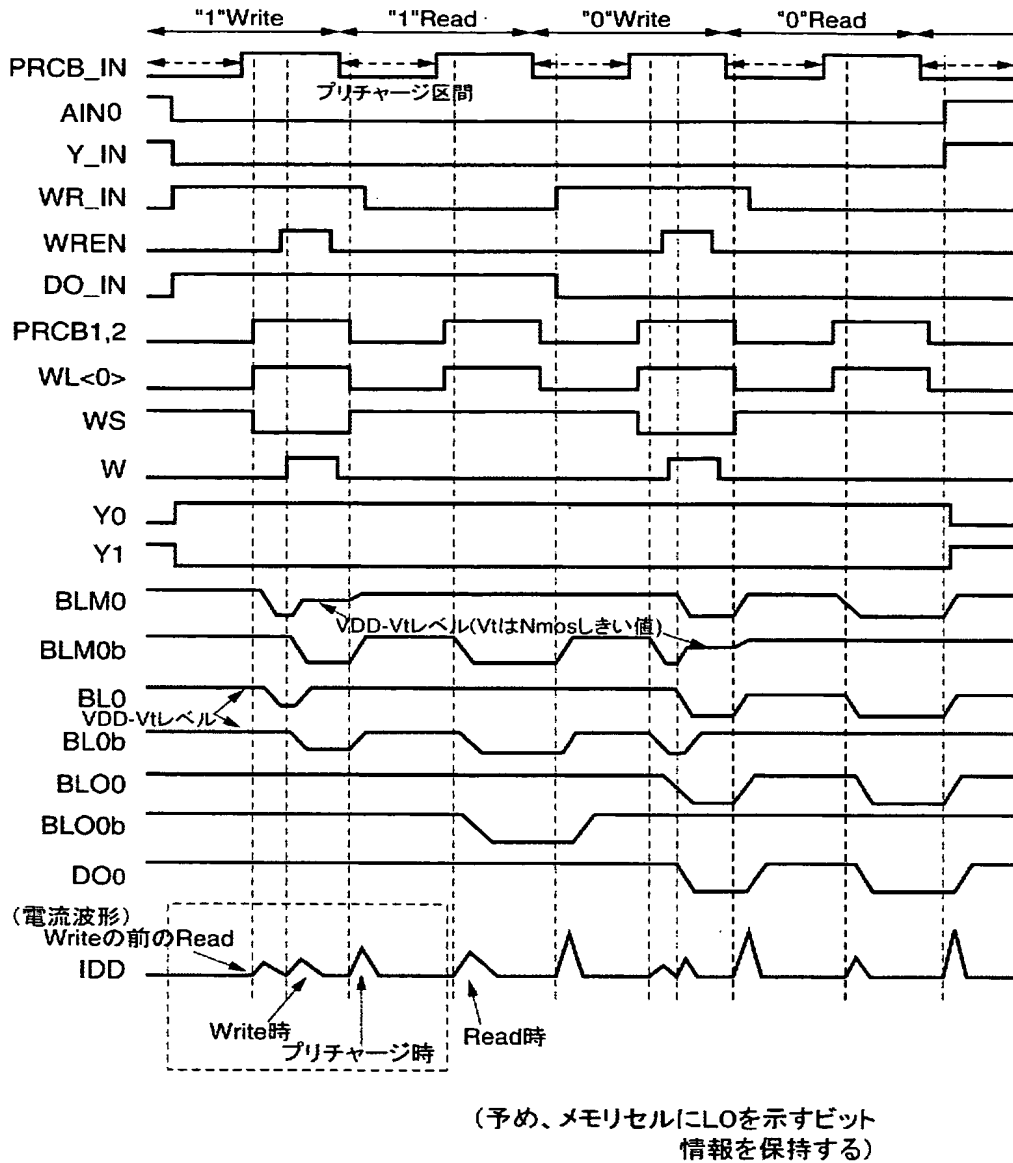


具体例1のタイミングチャート

【図 6】

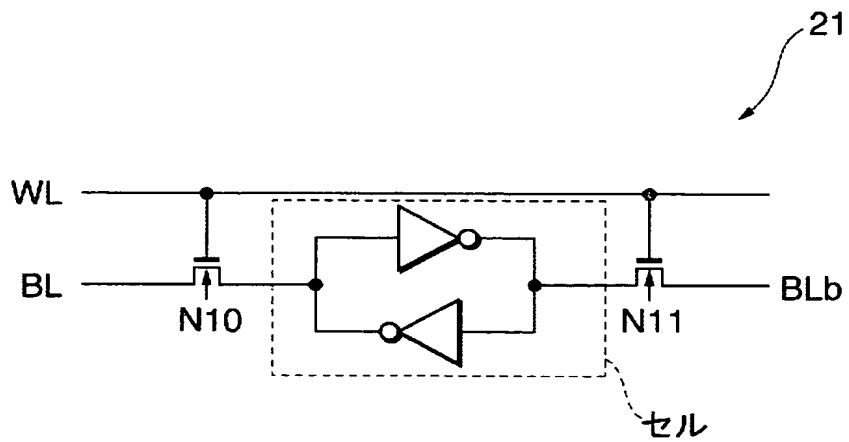


【図 7】



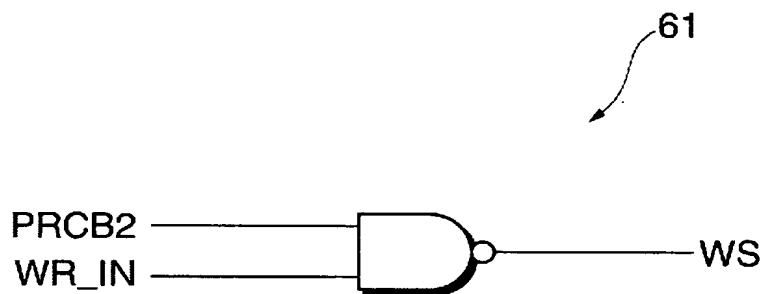
具体例2のタイミングチャート

【図 8】



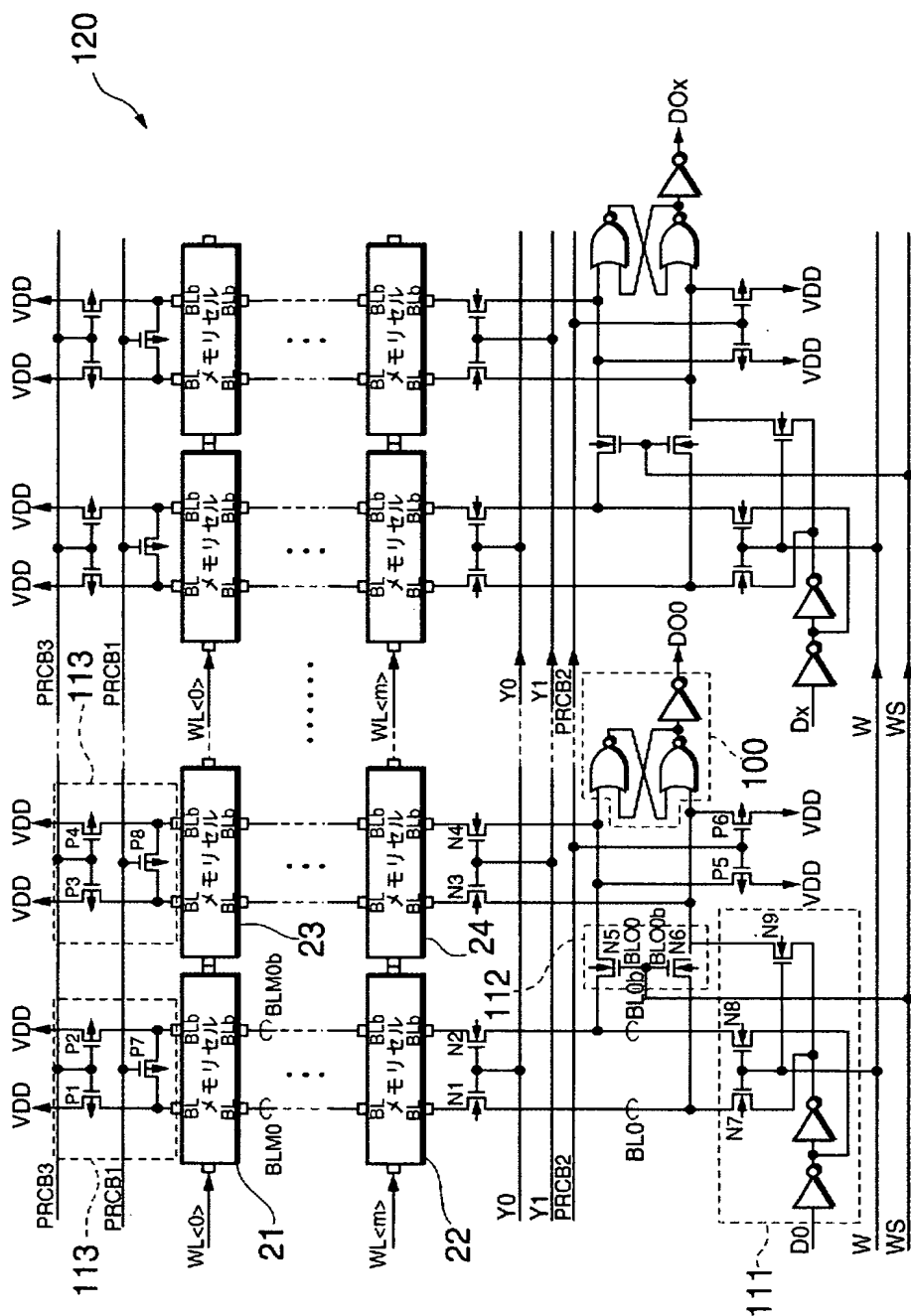
メモリセルの回路図

【図 9】



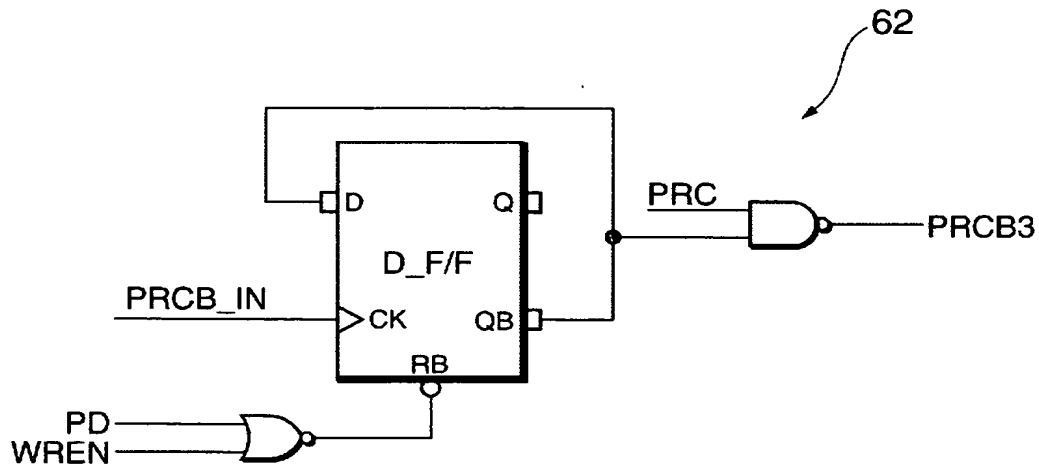
遮断制御信号生成部の回路図

【図 10】



### 具体例3のメモリアレイ部の回路図

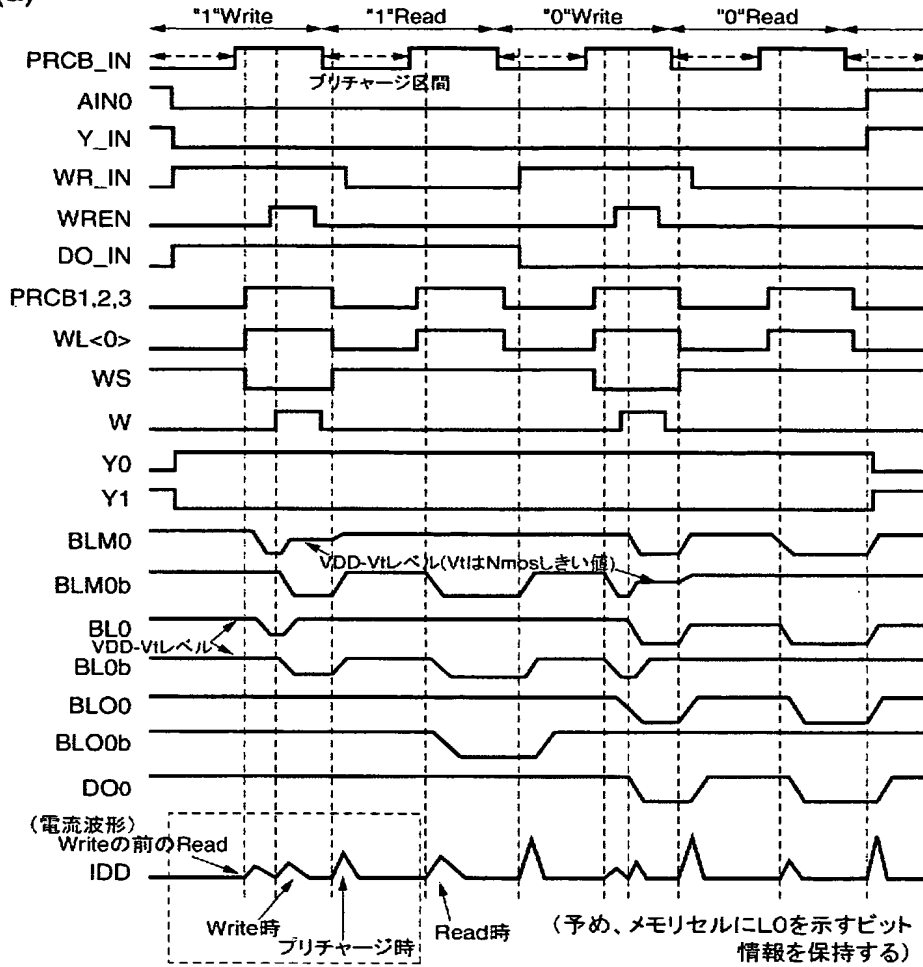
【図 11】



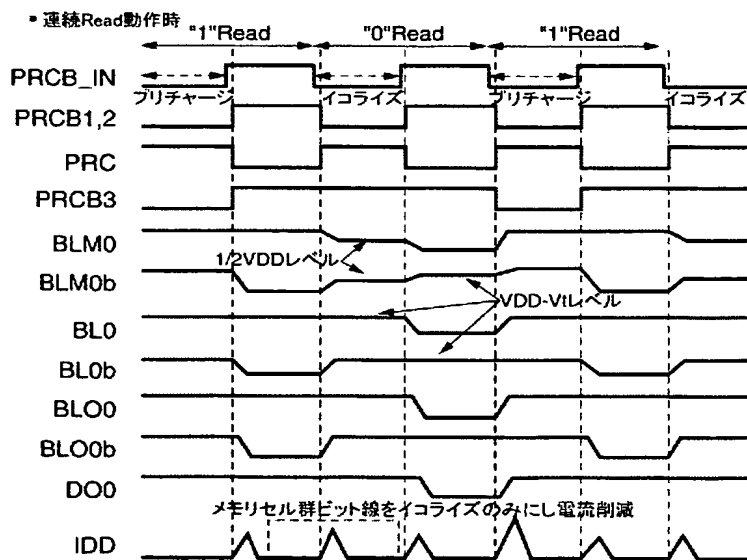
PRCB3生成部の回路図

【図 12】

(a)

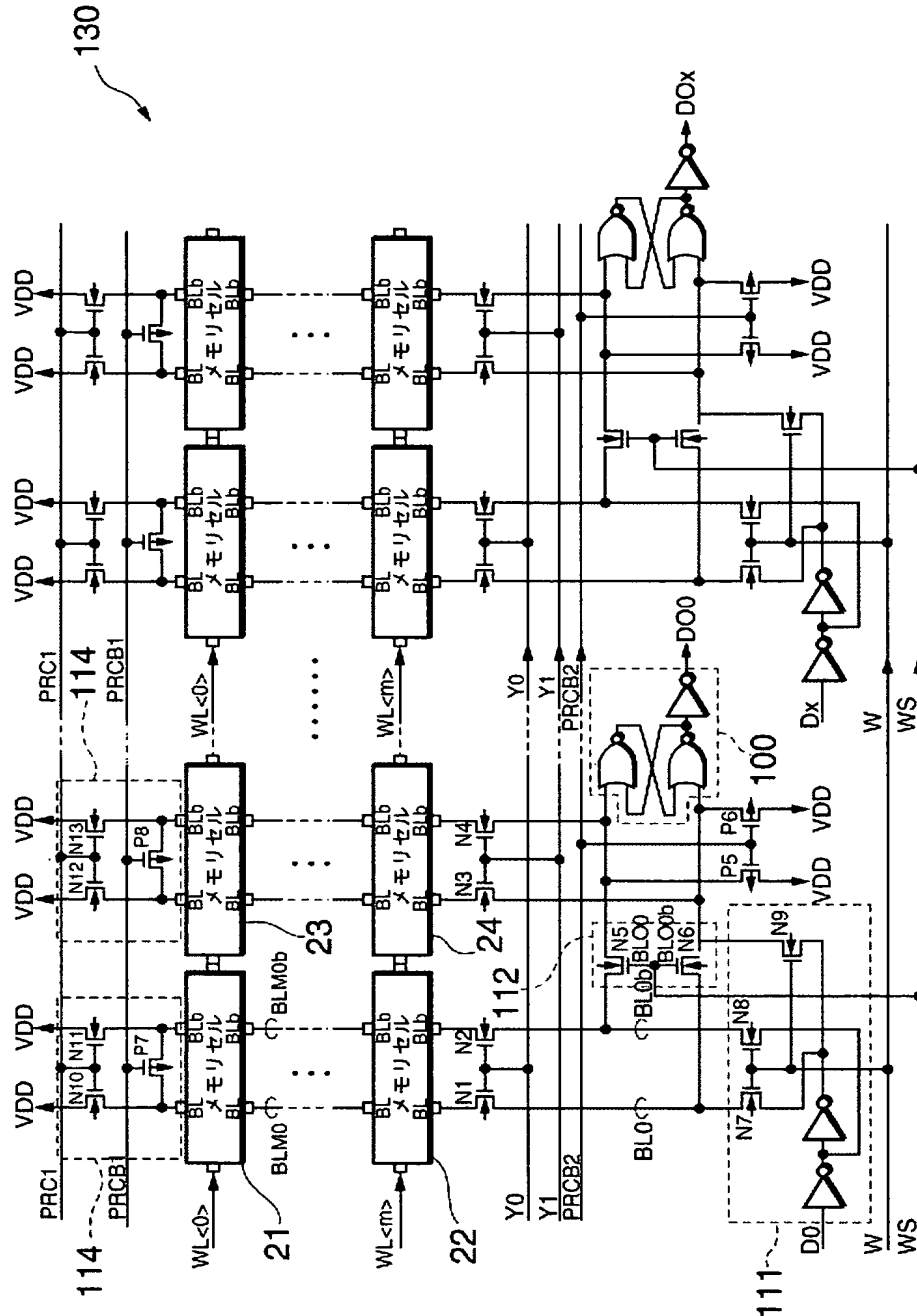


(b)



具体例3のタイミングチャート

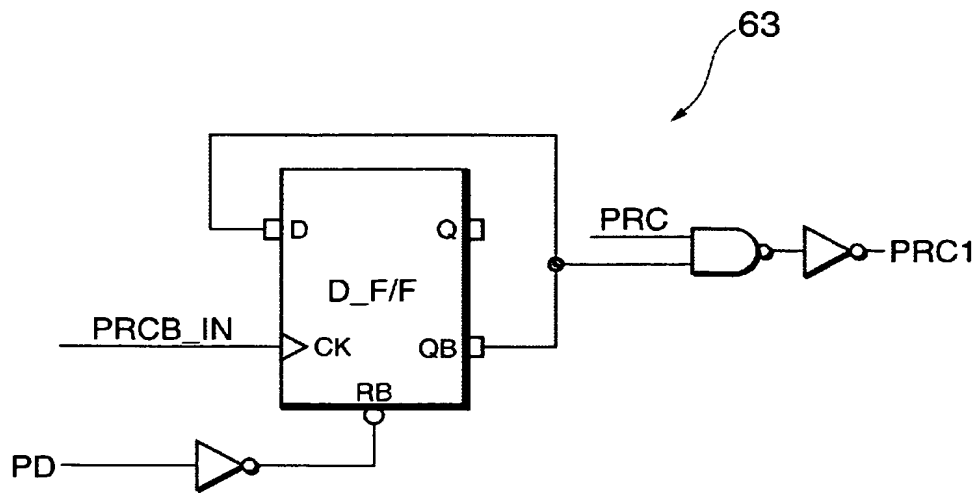
【図 13】



具体例4のメモリアレイ部の回路図

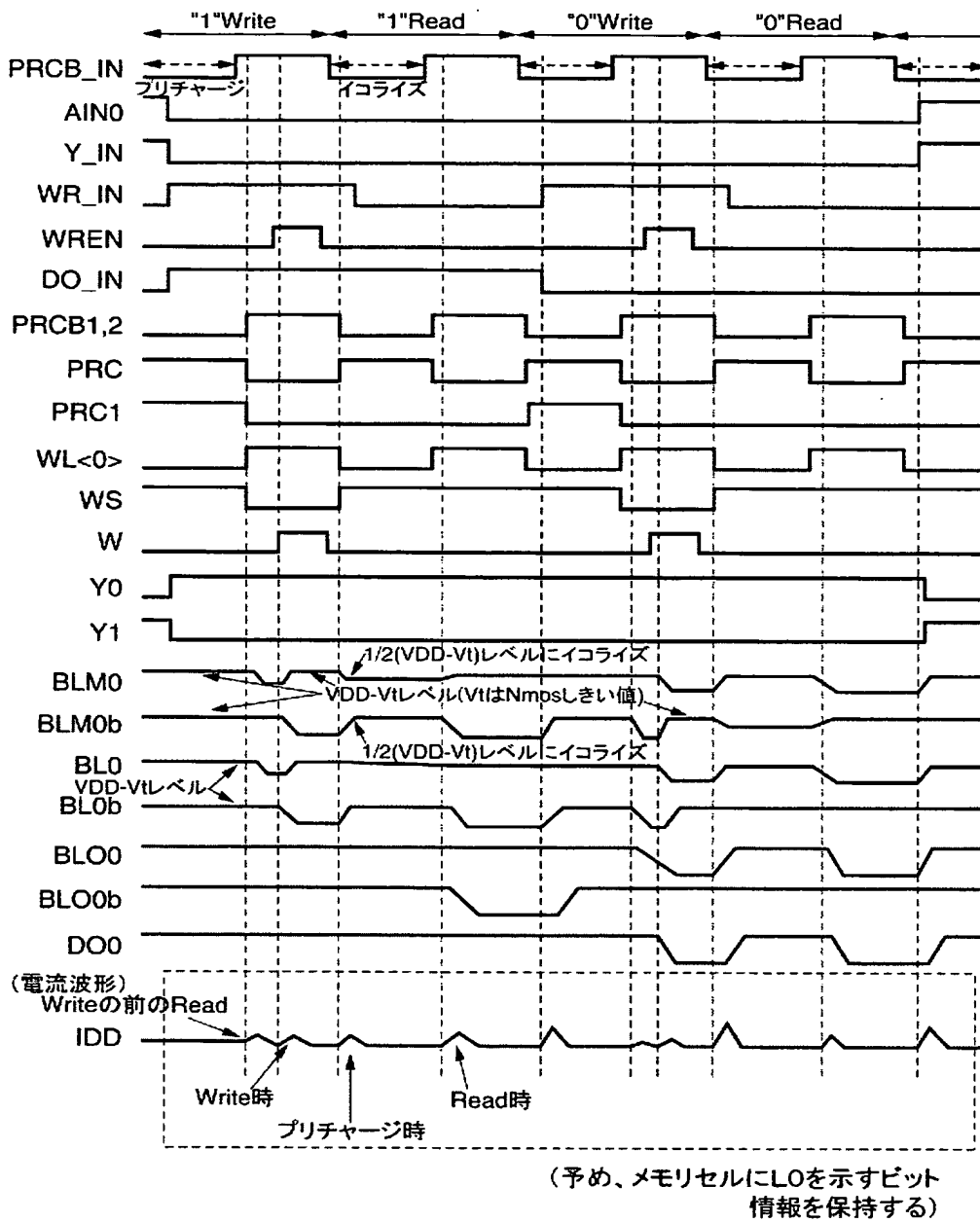


【図 14】



PRC1生成部の回路図

【図 15】



具体例4のタイミングチャート

【書類名】 要約書

【要約】

【課題】 消費電流を低減し得る半導体集積装置を提供する。

【解決手段】 ビット情報を保持するメモリセル 20 と、所定の周期に基づいて前記ビット情報を入出力するための一対のビット線と、前記メモリセルからの出力を一方のビット線および他方のビット線を介してラッチし、前記一方のビット線から取得する前記ビット情報を前記メモリセルの読出し結果として出力する出力部 100 とを備え、前記メモリセルへのアクセスに先立ち、前記ビット線対にプリチャージを行う半導体集積装置において、前記メモリセル 20 は、該メモリセルで保持するビット情報が読み出されるとき、プリチャージされた電圧が前記他方のビット線へ開放されることを遮断する遮断回路 (N24) を有することを特徴とする。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 5 1 8 8 6
受付番号	5 0 3 0 0 8 9 1 0 9 4
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 5 月 3 0 日

< 認定情報・付加情報 >

【提出日】	平成15年 5月29日
-------	-------------

次頁無

特願 2 0 0 3 - 1 5 1 8 8 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 0 2 9 5 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社

特願 2 0 0 3 - 1 5 1 8 8 6

出 願 人 履 歴 情 報

識別番号

[ 5 9 1 0 4 9 8 9 3 ]

1. 変更年月日

1 9 9 9 年 6 月 1 7 日

[変更理由]

名称変更

住 所

宮崎県宮崎郡清武町大字木原 7 0 8 3 番地

氏 名

株式会社 沖マイクロデザイン